

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135799

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

H01L 29/786  
H01L 21/768  
H01L 29/41

(21)Application number : 09-300541

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1997

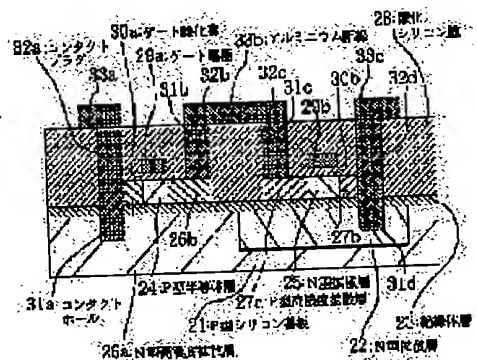
(72)Inventor : MATSUMOTO NAOYA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit, in which the capacitance of a diffusion layer is small and which is superior in a heat dissipating property.

SOLUTION: In a semiconductor integrated circuit, which is disclosed, a semiconductor layer which is composed of an insulator layer 23, of a P-type semiconductor layer 24, of N-type heavily-doped diffusion layers 26a, 26b, of an N-type diffusion layer 25 and of P-type heavily-doped diffusion layers 27a, 27b and a silicon oxide film 28 are laminated on a P-type silicon substrate 21. Contact plugs 32a to 32d which connect electrically aluminum interconnections 33a to 33c which are formed on the N-type heavily-doped diffusion layers 26a, 26b, on the P-type heavily-doped diffusion layers 27a, 27b and on the silicon oxide film 28 are provided. An N-type diffused layer 22 is formed inside the P-type silicon substrate 21. The contact plug 32a is passed through the N-type heavily-doped diffusion layer 26a and through the insulator layer 23, and it reaches the P-type silicon substrate 21 so as to be connected to a ground. The contact plug 32a is passed through the P-type heavily-doped diffusion layer 27b and through the insulator layer 23, and it reaches the N-type diffused layer 22 so as to be connected to a power supply.



## LEGAL STATUS

[Date of request for examination] 31.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3111948

[Date of registration] 22.09.2000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-135799

(43) 公開日 平成11年(1999)5月21日

(51) Int. Cl. <sup>6</sup>	識別記号	P I	
H 0 1 L	29/788	H 0 1 L	29/78
	21/768		21/90
	29/41		29/44
			29/78
			6 2 6 Z
			D
			Z
			6 1 3 A
			6 1 6 S

審査請求 有 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平9-300541  
(22) 出願日 平成9年(1997)10月31日

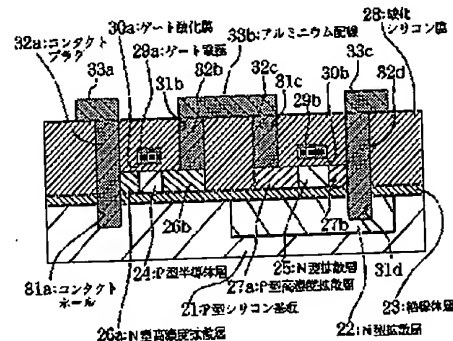
(71) 出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72) 発明者 松本 直哉  
東京都港区芝五丁目7番1号 日本電気株式会社内  
(74) 代理人 弁理士 西村 征生

(54) 【発明の名称】 半導体集積回路及びその製造方法

(57) 【要約】

【課題】 拡散層容量が小さく、放熱性に優れた半導体集積回路を提供する。

【解決手段】 開示される半導体集積回路は、P型シリコン基板21上に、絶縁体層23と、P型半導体層24、N型高濃度拡散層26a、26b、N型拡散層25、P型高濃度拡散層27a、27bからなる半導体層と、酸化シリコン膜28とが積層され、N型高濃度拡散層26a、26b及びP型高濃度拡散層27a、27bと酸化シリコン膜28上に形成されたアルミニウム配線33a～33cとを電気的に接続するコンタクトプラグ32a～32dを有する。P型シリコン基板21内には、N型拡散層22が形成され、コンタクトプラグ32aはN型高濃度拡散層26a及び絶縁体層23を貫通してP型シリコン基板21に到達してグランドと接続され、コンタクトプラグ32dはP型高濃度拡散層27b及び絶縁体層23を貫通してN型拡散層22に到達して電源と接続されている。



(2)

1

【特許請求の範囲】

【請求項1】 第1導電型半導体基板上に形成された絶縁体層と、前記絶縁体層上に形成され半導体素子を構成する半導体層と、前記半導体層上に形成された絶縁膜と、前記半導体素子と前記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、

前記第1導電型半導体基板内又はその上面に形成された第2導電型拡散層を有し、

前記コンタクトプラグの少なくとも1つは、前記半導体層及び前記絶縁体層を貫通して前記第1導電型半導体基板に到達すると共に、第1の電源と接続され、前記コンタクトプラグの少なくとも1つは、前記半導体層及び前記絶縁体層を貫通して前記第2導電型拡散層に到達すると共に、第2の電源と接続されていることを特徴とする半導体集積回路。

【請求項2】 第1導電型半導体基板上に形成された絶縁体層と、前記絶縁体層上に形成され半導体素子を構成する半導体層と、前記半導体層上に形成された絶縁膜と、前記半導体素子と前記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、

前記第1導電型半導体基板内又はその上面に形成された第2導電型拡散層を有し、

第1の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、前記半導体素子の下部が前記第1導電型半導体基板に接触し、

第2の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、前記半導体素子の下部が前記第2導電型拡散層に接触していることを特徴とする半導体集積回路。

【請求項3】 第1導電型半導体基板上に形成された絶縁体層と、前記絶縁体層上に形成され半導体素子を構成する半導体層と、前記半導体層上に形成された絶縁膜と、前記半導体素子と前記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、

前記第1導電型半導体基板内又はその上面に形成された第1導電型拡散層及び第2導電型拡散層を有し、

前記コンタクトプラグの少なくとも1つは、前記半導体層及び前記絶縁体層を貫通して前記第1導電型拡散層に到達すると共に、第1の電源と接続され、前記コンタクトプラグの少なくとも1つは、前記半導体層及び前記絶縁体層を貫通して前記第2導電型拡散層に到達すると共に、第2の電源と接続されていることを特徴とする半導体集積回路。

【請求項4】 第1導電型半導体基板上に形成された絶縁体層と、前記絶縁体層上に形成され半導体素子を構成する半導体層と、前記半導体層上に形成された絶縁膜と、

と、前記半導体素子と前記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、

前記第1導電型半導体基板内又はその上面に形成された第1導電型拡散層及び第2導電型拡散層を有し、

第1の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、前記半導体素子の下部が前記第1導電型拡散層に接触し、

第2の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、前記半導体素子の下部が前記第2導電型拡散層に接触していることを特徴とする半導体集積回路。

【請求項5】 第1導電型半導体基板上に絶縁体層を形成する第1の工程と、前記絶縁体層上に第1導電型半導体層を形成する第2の工程と、

前記絶縁体層上の前記第1導電型半導体層の近傍及び該近傍の下方に位置する前記第1導電型半導体基板内の領域に第1及び第2の第2導電型拡散層をそれぞれ形成する第3の工程と、

前記絶縁体層上の、前記第1導電型半導体層の少なくとも一方の側に第2導電型高濃度拡散層を、前記第1の第2導電型拡散層の少なくとも一方の側に第1導電型高濃度拡散層をそれぞれ形成する第4の工程と、

少なくとも、前記第1導電型半導体層、第2導電型高濃度拡散層、前記第1の第2導電型拡散層及び第1導電型高濃度拡散層上に絶縁膜を形成する第5の工程と、

前記絶縁膜の表面から、前記第2導電型高濃度拡散層及び前記絶縁体層を貫通し、前記第1導電型半導体基板にまで達すると共に、第1の電源と接続される少なくとも1つのコンタクトプラグを形成すると共に、前記絶縁膜の表面から、前記第1導電型高濃度拡散層及び前記絶縁体層を貫通し、前記第2の第2導電型拡散層にまで達すると共に、第2の電源と接続される少なくとも1つのコンタクトプラグを形成する第6の工程とからなることを特徴とする半導体集積回路の製造方法。

【請求項6】 第1導電型半導体基板上に絶縁体層を形成する第1の工程と、

前記絶縁体層上に第1導電型半導体層を形成する第2の工程と、

前記第1導電型半導体層の下方に位置する前記第1導電型半導体基板内の領域に第1導電型拡散層を形成すると共に、前記絶縁体層上の前記第1導電型半導体層の近傍及び該近傍の下方に位置する前記第1導電型半導体基板内の領域に第1及び第2の第2導電型拡散層をそれぞれ形成する第3の工程と、

前記絶縁体層上の、前記第1導電型半導体層の少なくとも一方の側に第2導電型高濃度拡散層を、前記第1の第2導電型拡散層の少なくとも一方の側に第1導電型高濃

59

度拡散層をそれぞれ形成する第4の工程と、  
少なくとも、前記第1導電型半導体層、第2導電型高濃度拡散層、前記第1の第2導電型拡散層及び第1導電型高濃度拡散層上に絶縁膜を形成する第5の工程と、  
前記第2の絶縁膜の表面から、前記第2導電型高濃度拡散層及び前記絶縁膜層を貫通し、前記第1導電型拡散層にまで達すると共に、第1の電源と接続される少なくとも1つのコンタクトプラグを形成すると共に、前記第2の絶縁膜の表面から、前記第1導電型高濃度拡散層及び前記絶縁膜層を貫通し、前記第2の第2導電型拡散層にまで達すると共に、第2の電源と接続される少なくとも1つのコンタクトプラグを形成する第6の工程とからなることを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路及びその製造方法に関し、詳しくは、半導体基板上に形成された絶縁膜層上に半導体素子を構成する半導体層が形成されたSOI (silicon on insulator) 構造を有する半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路、特に、CMOS-LSIは、近年、高集積化、動作速度の高速化が進められており、今後もこのような傾向が一層促進されると思われる。今までの半導体集積回路の性能向上は、主に、半導体素子の物理的寸法（素子寸法）の縮小（スケーリング）により達成されてきている。サブミクロンオーダーの素子寸法までは一定の高電圧の下にスケーリングがなされてきたため、動作速度の大幅な高速化が達成されている。しかし、サブミクロンオーダーよりさらに微細な素子寸法（例えば、MOSFETのゲート長が0.2 $\mu$ m以下）においては、高電圧を低下させなければならないため、単にスケーリングだけでは動作速度の高速化に限界がある。

【0003】そこで、この限界を克服するために新しい技術が開発されつつあり、半導体基板上に形成された絶縁膜層上に半導体素子を構成する半導体層が形成されたSOI構造を有するCMOS-LSIもその1つである。このようなSOI構造を有するCMOS-LSIにおいては、MOSFETのソース・ドレイン領域となる拡散層の底面が絶縁膜層と接触しているため、拡散層と絶縁膜層との境界には、電子と正孔とが存在しない領域である空乏層 (depletion layer) が存在せず、従来のMOSFETに比べて拡散層容量が極めて小さいという特徴を有しており、高速動作が可能である。

【0004】ところで、CMOS-LSIでは、特に、MOSFETの動作領域で熱が発生する。この発熱量は、時には数十ワットにまで達し、CMOS-LSIの温度は数十度から百度近くまで上昇する。このような温度上昇は、多くの弊害をもたらす。特に、キャリアの移

動度が低下するため、MOSFETのオン電流が減少し、さらに、金属配線の抵抗値が増大するため、金属配線による伝送遅延が増大する、という問題がある。この点、SOI構造を有しない通常のCMOS-LSIにおいては、MOSFETの動作領域で発生した熱は、主に熱伝導率の高い半導体基板、例えば、シリコン基板を通じて、半導体チップが収納され、その裏面が接しているパッケージから速やかに放熱される。これに対して、SOI構造を有するCMOS-LSIにおいては、MOSFETの動作領域と半導体基板との間に、熱伝導率の低い絶縁膜層、例えば、酸化シリコン膜が存在するため、MOSFETの動作領域で発生した熱が外部に放熱されず、CMOS-LSIの温度が急激に上昇し、上述した多くの弊害が発生してしまう。

【0005】そこで、従来から、SOI構造を有するCMOS-LSIについて、例えば、特開平5-347412号公報に開示されているように、MOSFETの動作領域で発生した熱を速やかに外部に放熱させる技術が提案されている。図8は、上記公報に開示された従来の

SOI構造を有するCMOS-LSIの概略構造例を示す断面図である。シリコン基板1上全面に絶縁膜層2が形成されており、絶縁膜層2上の一部には、P型半導体層3とN型半導体層4とが形成されている。P型半導体層3の両側にはN型高濃度拡散層5a及び5bが形成され、N型半導体層4の両側にはP型高濃度拡散層6a及び6bが形成されている。さらに、絶縁膜層2上全面に酸化シリコン膜7が形成されている。P型半導体層3及びN型半導体層4のそれぞれの上には酸化シリコン膜7を介してゲート電極8a及び8bが形成されている。P型半導体層3とゲート電極8aとの間の酸化シリコン膜7及びN型半導体層4とゲート電極8bとの間の酸化シリコン膜7は、特にゲート酸化膜9a及び9bと呼ばれている。P型半導体層3、N型高濃度拡散層5a及び5b、ゲート電極8a並びにゲート酸化膜9aは、NチャネルMOSFET (NMOSFET) を構成し、N型半導体層4、P型高濃度拡散層6a及び6b、ゲート電極8b並びにゲート酸化膜9bは、PチャネルMOSFET (PMOSFET) を構成している。

【0006】また、酸化シリコン膜7の表面からN型高濃度拡散層5a及び5b、P型高濃度拡散層6a及び6b並びに絶縁膜層2をそれぞれ貫通し、シリコン基板1にまで到達するコンタクトホール (contact hole) 10a～10dが開けられており、これらコンタクトホール10a～10dには、タングステン (W) が埋め込まれ、コンタクトプラグ (contact plug) 11a～11dが形成されている。そして、酸化シリコン膜7の表面には、コンタクトプラグ11a～11dと電気的に接続されるアルミニウム配線12a～12cが形成されている。コンタクトプラグ11a～11dは、図8に示すような多層構造の半導体集積回路において、下層に形成さ

れた各素子の電極と上層に形成されたアルミニウム配線とを電気的に接続する役割を果たしている。なお、もちろんゲート電極8a及び8bについてもコンタクトプラグを介して酸化シリコン膜7の表面に形成されたアルミニウム配線と電気的に接続されるが、図8には示していない。また、酸化シリコン膜7は、各素子、今の場合、NMOSFETとPMOSFETとをその内部で電気的に分離する役割を果たしている。

【0007】このような構成によれば、コンタクトプラグ11a~11dとシリコン基板1とが直接接触しているため、熱抵抗を非常に低くすることができ、MOSFETの動作領域で発生した熱をシリコン基板1を介して速やかに外部に放熱させることができる。また、上記構成において、シリコン基板1として、例えば、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下のN型シリコン基板を用いた場合、コンタクトプラグ11a~11dとシリコン基板1との間に良好なショットキー接合が形成されるので、シリコン基板1を半導体集積回路内で使用する最高電位に設定すれば、コンタクトプラグ11a~11dとシリコン基板1とを電気的に絶縁状態にすることができる。ここで、ショットキー接合とは、金属と半導体とを接触させた際に、整齊性を示す接合をいい、半導体を正にバイアスすることにより、金属と半導体とを電気的に絶縁状態にすることができるのである。

【0008】

【発明が解決しようとする課題】ところで、上記公報に開示された従来の半導体集積回路においては、コンタクトプラグ11a~11dとシリコン基板1との間にショットキー接合が形成される結果、拡散層容量として寄生ショットキー接合の容量が増加するため、SOI構造とすることにより拡散層容量を低減した効果が相殺されてしまうという欠点があった。

【0009】この発明は、上述の事情に鑑みてなされたもので、拡散層容量が小さく、かつ、放熱性にも優れた半導体集積回路及びその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明に係る半導体集積回路は、第1導電型半導体基板上に形成された絶縁体層と、上記絶縁体層上に形成された半導体素子を構成する半導体層と、上記半導体層上に形成された絶縁膜と、上記半導体素子と上記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、上記第1導電型半導体基板内又はその上面に形成された第2導電型拡散層を有し、上記コンタクトプラグの少なくとも1つは、上記半導体層及び上記絶縁体層を貫通して上記第1導電型半導体基板に到達すると共に、第1の電源と接続され、上記コンタクトプラグの少なくとも1つは、上記半導体層及び上記絶縁体層を貫通

して上記第2導電型拡散層に到達すると共に、第2の電源と接続されていることを特徴としている。

【0011】なお、この発明において、第1導電型半導体基板として、P型半導体基板及びN型半導体基板のいずれを用いても良いが、P型半導体基板を第1導電型半導体基板として用いるときは、第2導電型拡散層は、N型拡散層を意味する。これに対して、N型半導体基板を第1導電型半導体基板として用いるときは、第2導電型拡散層は、P型拡散層を意味する。

【0012】また、請求項2記載の発明に係る半導体集積回路は、第1導電型半導体基板上に形成された絶縁体層と、上記絶縁体層上に形成された半導体素子を構成する半導体層と、上記半導体層上に形成された絶縁膜と、上記半導体素子と上記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、上記第1導電型半導体基板内又はその上面に形成された第2導電型拡散層を有し、第1の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、上記半導体素子の下部が上記第1導電型半導体基板に接触し、第2の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、上記半導体素子の下部が上記第2導電型拡散層に接触していることを特徴としている。

【0013】請求項3記載の発明に係る半導体集積回路は、第1導電型半導体基板上に形成された絶縁体層と、上記絶縁体層上に形成された半導体素子を構成する半導体層と、上記半導体層上に形成された絶縁膜と、上記半導体素子と上記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、上記第1導電型半導体基板内又はその上面に形成された第1導電型拡散層及び第2導電型拡散層を有し、上記コンタクトプラグの少なくとも1つは、上記半導体層及び上記絶縁体層を貫通して上記第1導電型拡散層に到達すると共に、第1の電源と接続され、上記コンタクトプラグの少なくとも1つは、上記半導体層及び上記絶縁体層を貫通して上記第2導電型拡散層に到達すると共に、第2の電源と接続されていることを特徴としている。

【0014】なお、この発明において、P型半導体基板を第1導電型半導体基板として用いるときは、第1の電源は、例えばグラウンドであり、第2の電源は、プラス電源である。

【0015】請求項4記載の発明に係る半導体集積回路は、第1導電型半導体基板上に形成された絶縁体層と、上記絶縁体層上に形成された半導体素子を構成する半導体層と、上記半導体層上に形成された絶縁膜と、上記半導体素子と上記絶縁膜上に形成された金属配線とを電気的に接続する複数のコンタクトプラグとを有する半導体集積回路において、上記第1導電型半導体基板内又はその

(5)

7

上面に形成された第1導電型拡散層及び第2導電型拡散層を有し、第1の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、上記半導体素子の下部が上記第1導電型拡散層に接触し、第2の電源と接続されたコンタクトプラグに接続された少なくとも1つの半導体素子の下部の絶縁体層が除去され、上記半導体素子の下部が上記第2導電型拡散層に接触していることを特徴としている。

【0016】また、請求項5記載の発明に係る半導体集積回路の製造方法は、第1導電型半導体基板上に絶縁体層を形成する第1の工程と、上記絶縁体層上に第1導電型半導体層を形成する第2の工程と、上記絶縁体層上の上記第1導電型半導体層の近傍及び該近傍の下方に位置する上記第1導電型半導体基板内の領域に第1及び第2の第2導電型拡散層をそれぞれ形成する第3の工程と、上記絶縁体層上の、上記第1導電型半導体層の少なくとも一方の側に第2導電型高濃度拡散層を、上記第1の第2導電型拡散層の少なくとも一方の側に第1導電型高濃度拡散層をそれぞれ形成する第4の工程と、少なくとも、上記第1導電型半導体層、第2導電型高濃度拡散層、上記第1の第2導電型拡散層及び第1導電型高濃度拡散層上に絶縁膜を形成する第5の工程と、上記絶縁膜の表面から、上記第2導電型高濃度拡散層及び上記絶縁体層を貫通し、上記第1導電型半導体基板にまで達すると共に、第1の電源と接続される少なくとも1つのコンタクトプラグを形成すると共に、上記絶縁膜の表面から、上記第1導電型高濃度拡散層及び上記絶縁体層を貫通し、上記第2の第2導電型拡散層にまで達すると共に、第2の電源と接続される少なくとも1つのコンタクトプラグを形成する第6の工程とからなることを特徴としている。

【0017】なお、この発明において、P型半導体基板を第1導電型半導体基板として用いるときは、第1導電型高濃度拡散層はP型高濃度拡散層を意味し、第2導電型拡散層及び第2導電型高濃度拡散層は、それぞれ、N型拡散層、N型高濃度拡散層を意味する。これに対して、N型半導体基板を第1導電型半導体基板として用いるときは、第1導電型高濃度拡散層はN型高濃度拡散層を意味し、第2導電型拡散層及び第2導電型高濃度拡散層は、それぞれ、P型拡散層、P型高濃度拡散層を意味する。

【0018】請求項6記載の発明に係る半導体集積回路の製造方法は、第1導電型半導体基板上に絶縁体層を形成する第1の工程と、上記絶縁体層上に第1導電型半導体層を形成する第2の工程と、上記第1導電型半導体層の下方に位置する上記第1導電型半導体基板内の領域に第1導電型拡散層を形成すると共に、上記絶縁体層上の上記第1導電型半導体層の近傍及び該近傍の下方に位置する上記第1導電型半導体基板内の領域に第1及び第2の第2導電型拡散層をそれぞれ形成する第3の工程と、

上記絶縁体層上の、上記第1導電型半導体層の少なくとも一方の側に第2導電型高濃度拡散層を、上記第1の第2導電型拡散層の少なくとも一方の側に第1導電型高濃度拡散層をそれぞれ形成する第4の工程と、少なくとも、上記第1導電型半導体層、第2導電型高濃度拡散層、上記第1の第2導電型拡散層及び第1導電型高濃度拡散層上に絶縁膜を形成する第5の工程と、上記第2の絶縁膜の表面から、上記第2導電型高濃度拡散層及び上記絶縁体層を貫通し、上記第1導電型拡散層にまで達すると共に、第1の電源と接続される少なくとも1つのコンタクトプラグを形成すると共に、上記第2の絶縁膜の表面から、上記第1導電型高濃度拡散層及び上記絶縁体層を貫通し、上記第2の第2導電型拡散層にまで達すると共に、第2の電源と接続される少なくとも1つのコンタクトプラグを形成する第6の工程とからなることを特徴としている。

【0019】

【作用】この発明の構成によれば、第1の電源と接続され、電位の変わらない第2導電型高濃度拡散層に接続された少なくとも1つのコンタクトプラグが第1導電型半導体基板又は第1導電型拡散層にまで到達して形成されると共に、第2の電源と接続され、電位の変わらない第1導電型高濃度拡散層に接続された少なくとも1つのコンタクトプラグが第2導電型拡散層にまで到達して形成されているので、放熱経路が確保されている。

【0020】なお、少なくとも1つのコンタクトプラグが第1導電型半導体基板又は第1導電型拡散層と接触すると共に、少なくとも1つのコンタクトプラグが第2導電型拡散層と接触することにより、拡散層容量として寄生ショットキー接合の容量が増加するが、電位が変動しないので、全く問題とはならない。従って、拡散層容量が小さく、放熱性にも優れている。

【0021】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にを行う。

A. 第1の実施例

図1は、この発明の第1の実施例である半導体集積回路の概略構造を示す要部断面図、図2～図5は、同半導体集積回路の製造方法を示す工程図である。図1において、P型シリコン基板21は、その内部にN型拡散層22が形成され、その上全面に絶縁体層23が形成されており、絶縁体層23上の一部には、P型半導体層24とN型拡散層25とが形成されている。P型半導体層24の両側にはN型高濃度拡散層26a及び26bが形成され、N型拡散層25の両側にはP型高濃度拡散層27a及び27bが形成されている。

【0022】さらに、絶縁体層23上全面に酸化シリコン膜28が形成されている。P型半導体層24及びN型拡散層25のそれぞれの上部には酸化シリコン膜28を

50

介してゲート電極29a及び29bが形成されている。P型半導体層24とゲート電極29aとの間の酸化シリコン膜28及びN型拡散層25とゲート電極29bとの間の酸化シリコン膜28は、特にゲート酸化膜30a及び30bと呼ばれる。P型半導体層24、N型高濃度拡散層26a及び26b、ゲート電極29a並びにゲート酸化膜30aは、NMOSFETを構成し、N型拡散層25、P型高濃度拡散層27a及び27b、ゲート電極29b並びにゲート酸化膜30bは、PMOSFETを構成している。

【0023】また、酸化シリコン膜28の表面から、N型高濃度拡散層26a及び絶縁体層23を貫通し、シリコン基板21にまで到達するコンタクトホール31a、P型高濃度拡散層27b及び絶縁体層23を貫通し、N型拡散層25にまで到達するコンタクトホール31dが開口されていると共に、酸化シリコン膜28の表面からN型高濃度拡散層26b及びP型高濃度拡散層27aのそれぞれの一部表面まで到達するコンタクトホール31b及び31cが開口されている。これらコンタクトホール31a～31dには、タンガステンが埋め込まれ、コンタクトプラグ32a～32dが形成されている。そして、酸化シリコン膜28の表面には、コンタクトプラグ32a～32dと電気的に接続されるアルミニウム配線33a～33cが形成されている。なお、もちろんゲート電極29a及び29bについてもコンタクトプラグを介して酸化シリコン膜28の表面に形成されたアルミニウム配線と電気的に接続されるが、図1には示していない。また、酸化シリコン膜28は、NMOSFETとPMOSFETとをその内部で電気的に分離する役割を果たしている。

【0024】さらに、NMOSFETのN型高濃度拡散層26a（ソース）に接続されたコンタクトプラグ32aはアルミニウム配線33aを介してグラウンド（GN D）と接続され、NMOSFETのN型高濃度拡散層26b（ドレイン）に接続されたコンタクトプラグ33bとPMOSFETのP型高濃度拡散層27a（ソース）に接続されたコンタクトプラグ33cはアルミニウム配線33bを介して互いに接続され、PMOSFETのP型高濃度拡散層27b（ドレイン）に接続されたコンタクトプラグ32dはアルミニウム配線33cを介して電

源（V<sub>DD</sub>）に接続されている。なお、図示しないが、NMOSFETのゲート電極29aとPMOSFETのゲート電極29bとは、コンタクトプラグ及びアルミニウム配線を介して互いに接続されている。

【0025】次に、図1に示す半導体集積回路の製造方法について、図2～図5を参照しつつ、順を追ってその製造工程を説明する。まず、酸素原子のイオン注入により、P型シリコン基板21上全面に膜厚500～2000nmの絶縁体層（埋込酸化シリコン層）22を形成した後、絶縁体層23上全面に膜厚500～2000nmのP

型半導体層24を形成する。次に、P型半導体層24の一部を選択的に絶縁体層23に到達するまで酸化して酸化シリコン膜41を形成する（図2参照）。この酸化シリコン膜41が絶縁分離領域となる。

【0026】次に、P型半導体層24及び酸化シリコン膜41上全面にフォトレジスト42を塗布した後、PMOSFETを形成すべき部分だけ開口し、フォトレジスト42をマスクとして、リンを200～300keV程度の加速エネルギーで絶縁体層23を介してP型シリコン基板21中にイオン注入してN型拡散層22を形成すると共に、酸化シリコン膜41及びフォトレジスト42をマスクとして、酸素を100～150keV程度の加速エネルギーでP型半導体層24中にイオン注入してN型拡散層25を形成する（図3参照）。

【0027】次に、フォトレジスト42を剥離した後、P型半導体層24、酸化シリコン膜41及びN型拡散層25上全面に酸化シリコン膜28を形成し、酸化シリコン膜28の上のP型半導体層24及びN型拡散層25それぞれのほぼ中央上方にゲート電極29a及び29bを形成する。ゲート電極29aは、例えば、N型高濃度ポリシリコン層からなり、ゲート電極29bは、例えば、P型高濃度ポリシリコン層からなる。さらに、ゲート電極29a及び29bをマスクとして、P型半導体層24中にN型高濃度拡散層26a及び26bを形成し、N型拡散層25中にP型高濃度拡散層27a及び27bを形成する（図4参照）。P型半導体層24とゲート電極29aとの間の酸化シリコン膜28及びN型拡散層25とゲート電極29bとの間の酸化シリコン膜28は、上述したように、ゲート酸化膜30a及び30bと呼ばれる。なお、図4においては、酸化シリコン膜は統一した符号28で示している。

【0028】次に、酸化シリコン膜28並びにゲート電極29a及び29b上全面に、プラズマ化学気相成長（CVD: Chemical Vapor Deposition）法により、酸化シリコン膜を形成した後、化学機械研磨（CMP: Chemical and Mechanical Polishing）法により、酸化シリコン膜を平坦化する。そして、酸化シリコン膜の表面から、N型高濃度拡散層26a及び絶縁体層23を貫通し、シリコン基板21にまで到達するコンタクトホール31a、P型高濃度拡散層27b及び絶縁体層23を貫通し、N型拡散層25にまで到達するコンタクトホール31dを開口すると共に、酸化シリコン膜28の表面からN型高濃度拡散層26b及びP型高濃度拡散層27aのそれぞれの一部表面まで到達するコンタクトホール31b及び31cを開口する（図5参照）。なお、図5においては、酸化シリコン膜は統一した符号28で示している。

【0029】次に、コンタクトホール31a～31dにタンガステンを埋め込み、コンタクトプラグ32a～32dを形成した後、酸化シリコン膜28の表面にコンタ

クトブラグ32a~32dと電気的に接続されるアルミニウム配線33a~33cを形成することにより、図1に示す半導体集積回路が完成する。

【0030】次に、以上説明した製造方法により製造された半導体集積回路（図1参照）の等価回路図を図6に示す。これは、CMOS-LSIの基本となるインバータ回路である。入力信号は、NMOSFET及びPMOSFETのそれぞれのゲート電極が互いに接続された入力端より入力され、入力信号が“H”レベルの場合は出力信号は“L”レベルとなり、入力信号が“L”レベルの場合は出力信号は“H”レベルとなる。この場合、NMOSFETのN型高濃度拡散層26a及び26b並びにPMOSFETのP型高濃度拡散層27a及び27bのうち、電位が変化するの、N型高濃度拡散層26b及びP型高濃度拡散層27aだけであって、N型高濃度拡散層26a及びP型高濃度拡散層27bはそれぞれ電位の変わらないグラウンド（GND）及び電源（V<sub>DD</sub>）に接続されている。

【0031】そこで、この実施例においては、グラウンド（GND）と接続され、電位の変わらないN型高濃度拡散層26aに接続されたコンタクトブラグ32aの先端をP型シリコン基板21にまで到達するように形成すると共に、電源（V<sub>DD</sub>）と接続され、電位の変わらないP型高濃度拡散層27bに接続されたコンタクトブラグ32dの先端をN型拡散層22にまで到達するように形成した。これにより、放熱経路が確保されている。なお、コンタクトブラグ32aの先端がP型シリコン基板21と接触すると共に、コンタクトブラグ32dの先端がN型拡散層22と接触することにより、拡散層容量として寄生ショットキー接合の容量が増加するが、電位が変動しないので、全く問題とはならない。このような構成によれば、放熱効果を損なうことなく、寄生ショットキー接合の容量を削減できるので、5~20%の動作速度の改善が可能となる。

#### 【0032】B. 第2の実施例

次に、第2の実施例について説明する。図7は、この発明の第2の実施例である半導体集積回路の概略構造を示す断面図である。この図において、図1の各部に対応する部分には同一の符号を付け、その説明を省略する。この図に示す半導体集積回路においては、P型シリコン基板21の内部にP型拡散層51が形成され、コンタクトブラグ31aの先端はP型拡散層51にまで達している。P型拡散層51は、上記した第1の実施例における製造方法において、図3に示す工程までを経た後、NMOSFETを形成すべき部分だけ開口したフォトリソジストをマスクとして、ボロンを100~150keV程度の加速エネルギーで絶縁体層23を介してP型シリコン基板21中にイオン注入して形成する。これ以降の製造方法については、上記した第1の実施例と同様であるので、その説明を省略する。

【0033】このようにP型拡散層51を形成したのは、以下の理由による。即ち、半導体チップが収納されるパッケージによっては、半導体チップの裏面をグラウンド（GND）に接続するタイプのものがあるが、この場合、グラウンド（GND）と接続されるN型高濃度拡散層26aに接続されたコンタクトブラグ32aとP型シリコン基板21との接触抵抗は小さい方が好ましい。そこで、右接触抵抗を低減するために、P型拡散層51を形成したのである。この第2の実施例の構成においても、コンタクトブラグ32aの先端がP型拡散層51に接触すると共に、コンタクトブラグ32dの先端がN型拡散層22と接触することにより、拡散層容量として寄生ショットキー接合の容量が増加するが、電位が変動しないので、全く問題とはならない。このような構成によれば、放熱効果を損なうことなく、寄生ショットキー接合の容量を削減できるので、5~20%の動作速度の改善が可能となる。

【0034】以上、この発明の実施例を図面を参照して詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述の実施例においては、コンタクトブラグ32a及び32dのいずれも絶縁体層23を貫通してP型シリコン基板21、N型拡散層22、あるいはP型拡散層51にまで到達する例を示したが、これに限定されない。コンタクトブラグ32a~32dをN型高濃度拡散層26a及び26b並びにP型高濃度拡散層27a及び27bの一部表面まで到達するように構成し、N型高濃度拡散層26a及びP型高濃度拡散層27bの下面の絶縁体層22を除去するようにしても、同様の効果が得られる。また、上述の実施例においては、N型拡散層22及びP型拡散層51をいずれもP型シリコン基板1内に形成する例を示したが、これに限定されず、P型シリコン基板上に形成しても、もちろん良い。

【0035】また、上述の実施例においては、P型シリコン基板を用いた例を示したが、N型シリコン基板を用いると共に、各不純物領域の導電型を逆にすることによっても、同様の作用効果を得ることが可能である。さらに、半導体素子として、NPN型やPNP型のバイポーラトランジスタ等の能動素子、あるいは抵抗等の受動素子を形成した場合についても、同様の作用効果を得ることが可能である。さらに、上述の実施例では、コンタクトブラグ32a~32dをタングステン単体で構成するようにしたが、タングステンはシリコンと比較的反応しやすいため、コンタクトホール31a~31dにタングステンを埋め込む前に、コンタクトホール31a~31dの内壁にチタン（Ti）膜や窒化チタン（TiN）膜を形成しておくようにすれば、大変好ましい。

#### 【0036】

【発明の効果】以上説明したように、この発明の構成に

よれば、少なくとも2つのコンタクトプラグが電位の変わらない第1導電型半導体基板や第1、第2導電型拡散層にまで到達して形成されているので、放熱経路が確保されている。なお、これらのコンタクトプラグが第1導電型半導体基板や第1、第2導電型拡散層と接触することにより、拡散層容量として寄生ショットキー接合の容量が増加するが、電位が変動しないので、全く問題とはならない。従って、拡散層容量が小さく、放熱性にも優れている。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例である半導体集積回路の概略構造を示す要部断面図である。

【図2】同実施例における半導体集積回路の製造方法を示す工程図である。

【図3】同実施例における半導体集積回路の製造方法を示す工程図である。

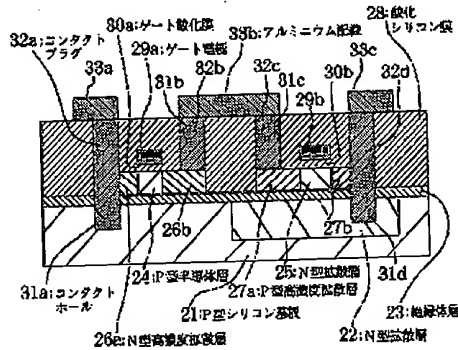
【図4】同実施例における半導体集積回路の製造方法を示す工程図である。

【図5】同実施例における半導体集積回路の製造方法を示す工程図である。

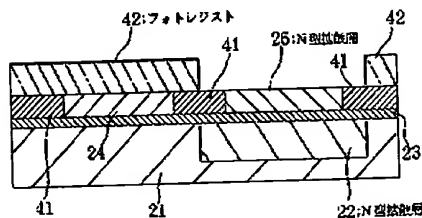
【図6】図1に示す半導体集積回路の等価回路図である。

【図7】この発明の第2の実施例である半導体集積回路\*

【図1】



【図3】



\*の概略構造を示す要部断面図である。

【図8】従来のSOI構造を有するCMOS-LSIの概略構造例を示す要部断面図である。

#### 【符号の説明】

23 絶縁体層

24 P型半導体層 (半導体層、第1導電型半導体層)

26a, 26b N型高濃度拡散層 (第2導電型高濃度拡散層)

27a, 27b P型高濃度拡散層 (第1導電型高濃度拡散層)

28 酸化シリコン膜

29a, 29b ゲート電極

30a, 30b ゲート酸化膜

31a~31d コンタクトホール

32a~32d コンタクトプラグ

33a~33c アルミニウム配線

21 P型シリコン基板 (第1導電型半導体基板)

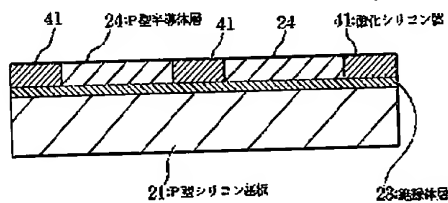
22, 25 N型拡散層 (第2導電型拡散層)

20 51 P型拡散層 (第1導電型拡散層)

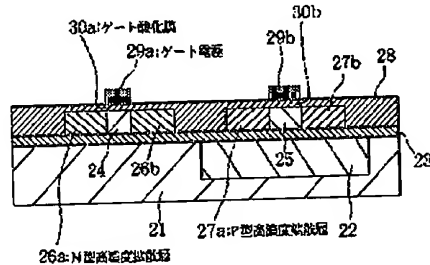
V<sub>DD</sub> 電源 (第2の電源)

GND グランド (第1の電源)

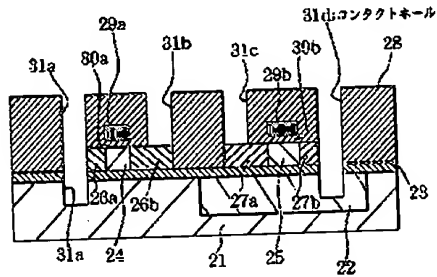
【図2】



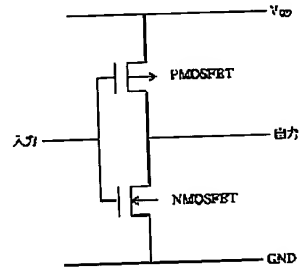
【図4】



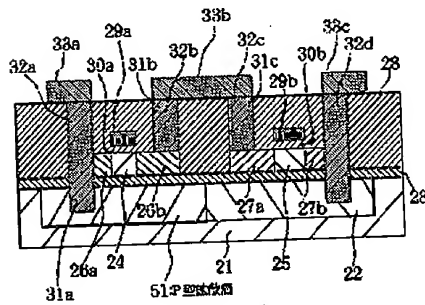
【図5】



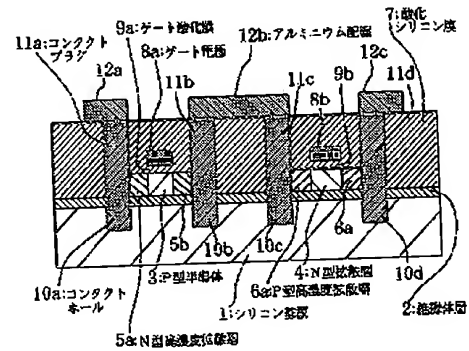
【図6】



【図7】



【図8】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 2 6 C